

Microcontroladores e Interfaces

3º Ano – Eng. Electrónica Industrial

Carlos A. Silva

2º Semestre de 2005/2006

<http://www.dei.uminho.pt/lic/mint>

Assunto: Busses

Aula #12



O que é um *bus*

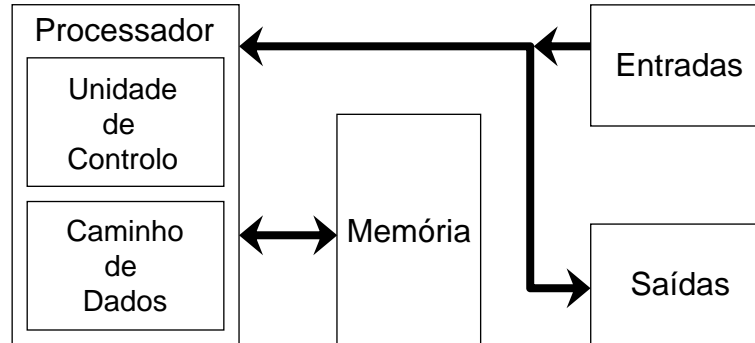


BUS: Traduz-se como barramento e não autocarro !!!

◆ O barramento é

- Uma ligação partilhada para comunicação.
- Conjunto de linhas usado para conectar múltiplos sub-sistemas

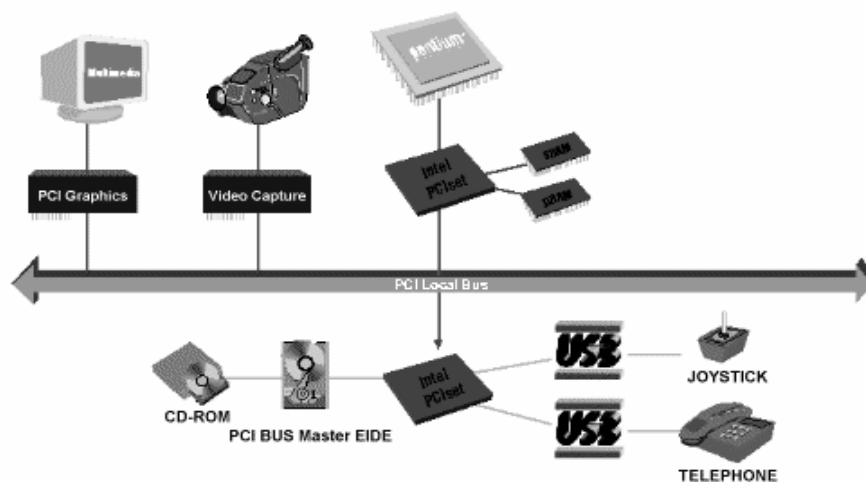
O que é um *bus*



- ◆ O barramento também é usado como uma ferramenta fundamental na composição de sistemas complexos
 - Permite a abstracção da ligação de sub-sistemas

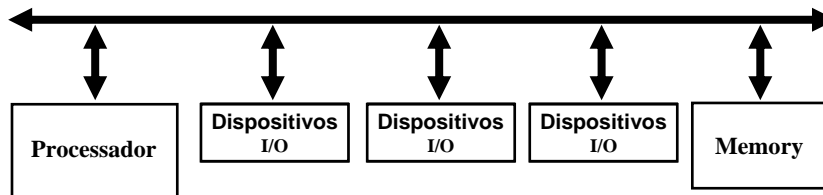
3 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Barramentos



4 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Vantagens do barramento



◆ Versatilidade:

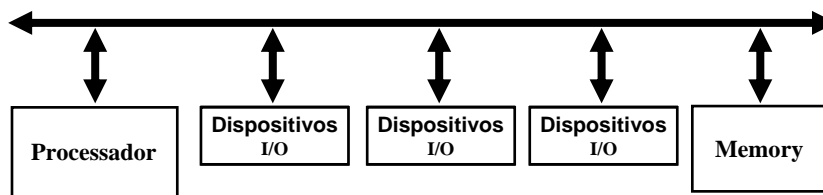
- Novos dispositivos podem ser adicionados.
- Periféricos podem ser movidos entre computadores que usem o mesmo *standard* para o barramento (p. ex., *USB*).

◆ Baixo Custo:

- Um simples conjunto de fios pode ser compartilhado de diversas maneiras.

5 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Desvantagens do barramento



◆ O barramento cria um *afunilamento* na comunicação

- A largura de banda do barramento pode limitar o *throughput* máximo do sistema I/O.

◆ A velocidade máxima do barramento será grandemente limitada pelos seguintes factores:

- Comprimento do barramento.
- Número de dispositivos 'pendurados' no barramento.
- A necessidade de suportar uma gama de dispositivos com:
 - ◆ Grande variabilidade de latência.
 - ◆ Grande variabilidade na velocidade de transferência de dados.

6 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Organização geral de um barramento



◆ Linhas de Controlo

- Sinalizam pedidos (*'requests'*) e confirmações (*'acknowledgements'*)
- Indicam qual é o tipo de dado presente na linha de dados

◆ Linha de Dados

- Transporta endereços e dados
- Comandos complexos

7 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Tipos de barramentos

- ◆ Existem três tipos de barramentos.
- ◆ Barramento processador-memória (*específico ao projecto do processador*).
 - Curto e de alta velocidade.
 - Precisa apenas se adaptar as características do sistema de memória.
 - ◆ Objectivo: Maximizar a largura de banda da ligação processador-memória.
 - Conecta directamente ao processador.
 - Optimizado para transferência de blocos de dados entre a *cache* e a memória principal.

8 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Tipos de barramentos

◆ Barramento I/O (*standard industrial*):

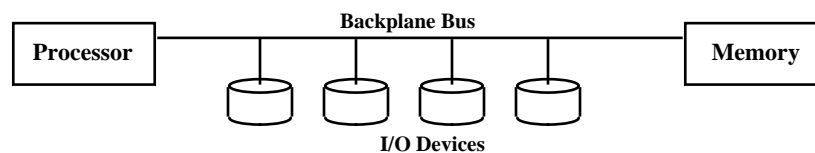
- Geralmente é comprido e lento.
- Tem que ser adaptado a uma larga gama de dispositivos I/O.
- Liga ao barramento processador-memória ou ao barramento *backplane*.

◆ Barramento *backplane*:

- *Backplane*:
 - ◆ Estrutura de ligação dentro do chassis.
- Permite a coexistência entre processadores, memória e dispositivos I/O.
- Vantagem do baixo custo:
 - ◆ Um barramento para todos os componentes.

9 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Sistema com um só barramento: barramento *backplane*



◆ Barramento único (barramento *backplane*) é usado para:

- Comunicação processador-memória
- Comunicação entre dispositivos I/O e memória

◆ Vantagens:

- Simples e de baixo custo

◆ Desvantagens:

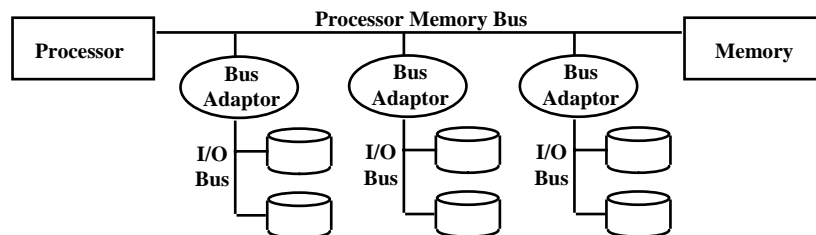
- Lento (*o barramento pode se tornar no maior afunilamento do sistema*)

◆ Exemplo:

- IBM PC – AT

10 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

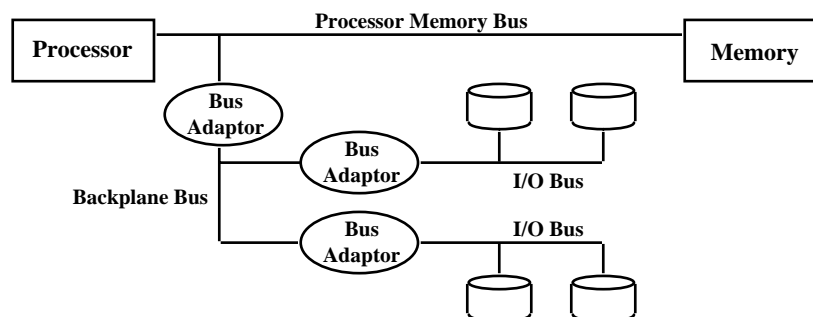
Sistema com dois barramentos



- ◆ O barramento I/O é ligado ao barramento processador-memória através de um adaptador de barramento (*bridge*)
 - Barramento processador-memória: usado essencialmente para o tráfego processador-memória
 - Barramento I/O: fornece *slots* de expansão para dispositivos I/O
- ◆ Apple Macintosh-II
 - Barramento NuBus: processador, memória e alguns dispositivos de I/O previamente seleccionados
 - Barramento SCCI: responsável pelo resto dos dispositivos I/O

11 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

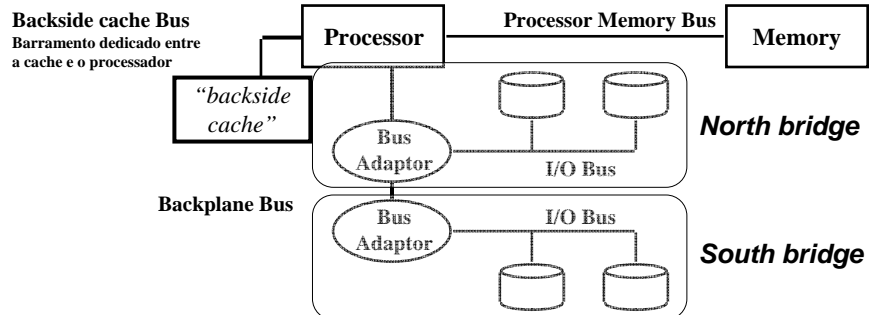
Sistema com três barramentos



- ◆ Um pequeno número de barramentos *backplane* são ligados ao barramento processador-memória
 - O barramento processador-memória é usado apenas para o tráfego processador-memória
 - Os barramentos I/O são ligados ao barramento *backplane*
- ◆ Vantagem
 - A carga no barramento do processador é reduzida consideravelmente

12 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Arquitectura com *bridges* Norte/Sul: Barramentos separados



◆ Conjunto de pinos diferentes para diferentes funções

- Barramento de memória
- Caches
- Barramento gráfico (*frame buffer rápido*)
- Barramentos I/O são ligados ao barramento *backplane*

13 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

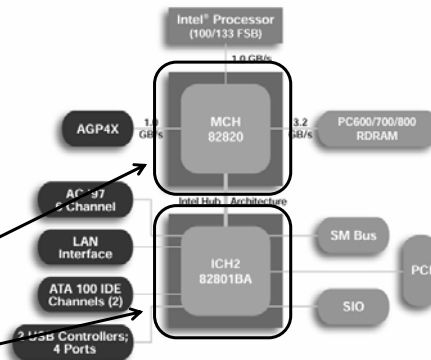
Arquitectura com *bridges* Norte/Sul: Barramentos separados

◆ Vantagens

- Os barramentos podem operar a diferentes velocidades
- A carga total é muito menor

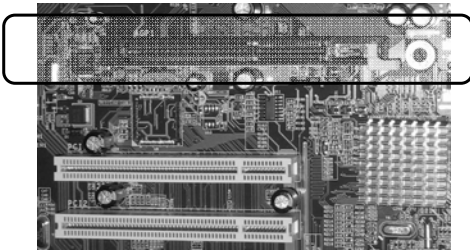
Exemplo: *Pentium III*

- **North bridge**
- **South bridge**



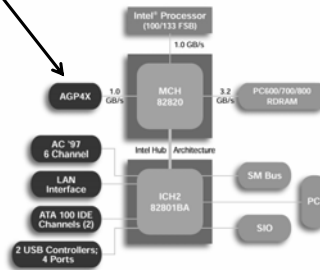
14 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Arquitetura com *bridges* Norte/Sul: Barramentos separados

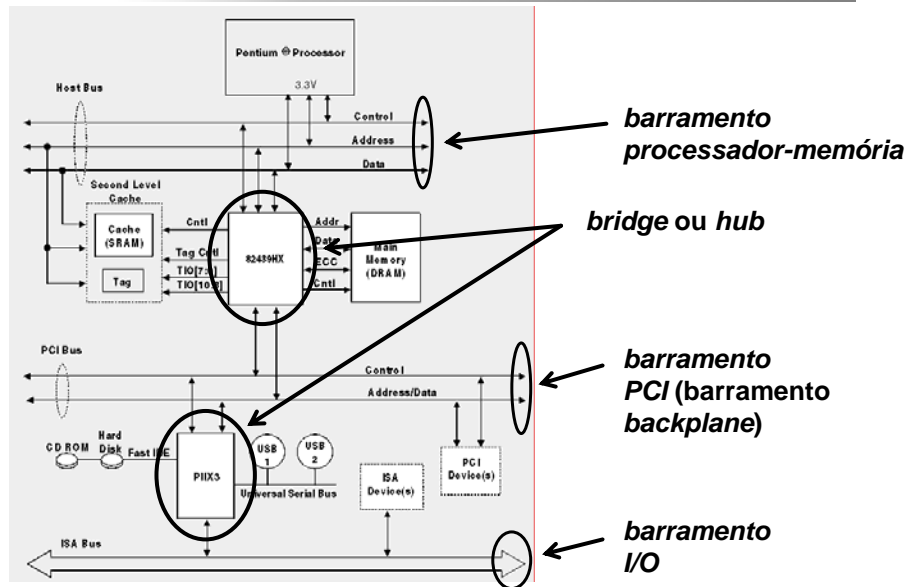


♦ **Nota:**

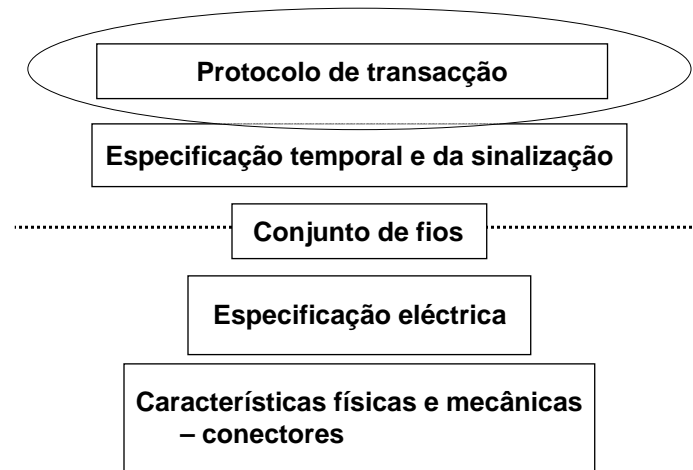
- AGP: *Advanced Graphics Port*.
- Foi criado para permitir maior taxa de transferência de dados entre o processador e a memória do sistema gráfico.
- Está a ser substituído pelo barramento PCI-Express



Exemplo: Organização do Sistema *Pentium*



O que define um barramento ?



17 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Barramento síncrono e barramento assíncrono

◆ Barramento síncrono:

- Inclui um sinal de relógio nas linhas de controlo.
- Protocolo de comunicação pré-fixado (relativo ao relógio).
- Vantagem:
 - ◆ Requer pouca lógica e permite velocidades mais elevadas.
- Desvantagens:
 - ◆ Cada dispositivo no barramento tem que suportar a mesma velocidade.
 - ◆ De modo a evitar o skew do sinal de relógio, o comprimento do barramento deve ser curto para poder atingir velocidades elevadas.

18 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Barramentos síncronos e barramentos assíncronos

◆ Barramentos assíncronos

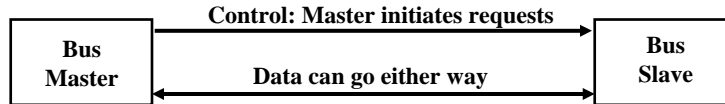
- Não tem sinal de relógio
- Pode acomodar um largo espectro de dispositivos
- Pode atingir comprimentos maiores sem o problema do *skewing* do sinal de relógio
- Requer o uso de um protocolo de *handshaking*

Transacção no barramento

◆ Três questões básicas:

- Arbitragem
 - ◆ Quem terá acesso ao barramento ?
- Pedido
 - ◆ O que se pretende fazer ?
- Acção
 - ◆ O que acontecerá na resposta ?

Arbitragem: Obtendo acesso ao barramento



- ◆ **O aspecto mais importante no projecto do barramento:**

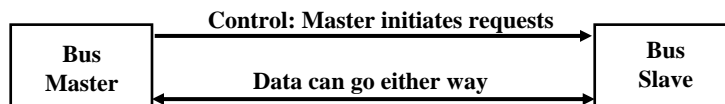
- Como o barramento é reservado pelo dispositivo que pretende usá-lo?
 - ◆ Quem terá acesso ao barramento ?

- ◆ **O caos é impedido através da topologia mestre-escravo**

- Apenas o *bus master* pode controlar o acesso ao barramento
 - ◆ Ele inicia e controla todos os pedidos de acesso ao barramento
- Um escravo apenas responde a um pedido de leitura ou de escrita

21 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Arbitragem: Obtendo acesso ao barramento



- ◆ **O sistema mais básico será**

- O processador é o único mestre do barramento
- Todos os pedidos de acesso ao barramento são controlados pelo processador
- Principal limitação:
 - ◆ O processador está envolvido em todas as transacções

22 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Barramento com múltiplos mestres: Necessidade de arbitragem

◆ Esquema de arbitragem do barramento

- Um dos mestres do barramento ao querer usar o barramento sinaliza que quer o barramento.
- Um dos mestres do barramento não pode usar o barramento até que este lhe tenha sido cedido.
- O mestre do barramento sinaliza ao árbitro do barramento que terminou de utilizar o barramento.

◆ O esquema de arbitragem da utilização do barramento procura balancear dois factores:

- Prioridade no uso do barramento.
 - ◆ O dispositivo com maior prioridade deve ser servido primeiro.
- Equidade.
 - ◆ Mesmo o dispositivo com menor prioridade nunca deve ser completamente impedido de usar o barramento.

23 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

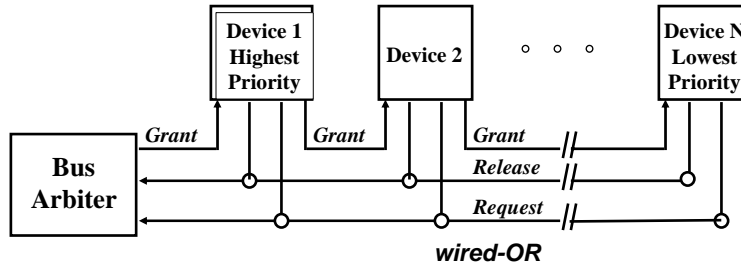
Barramento com múltiplos mestres: Necessidade de arbitragem

◆ Os esquemas de arbitragem do barramento podem ser divididos em quatro grandes classes:

- Arbitragem em *daisy chain*
- Arbitragem paralela centralizada
- Arbitragem distribuída por auto-selecção:
 - ◆ O dispositivo que queira o barramento coloca um código no barramento indicando a sua indentidade
- Arbitragem distribuída por detecção de colisão:
 - ◆ Cada dispositivo “simplesmente avança”.
 - ◆ Qualquer problema é resolvido a posterior.

24 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Esquema de arbitragem: Arbitragem por *Daisy Chain*



♦ Vantagem:

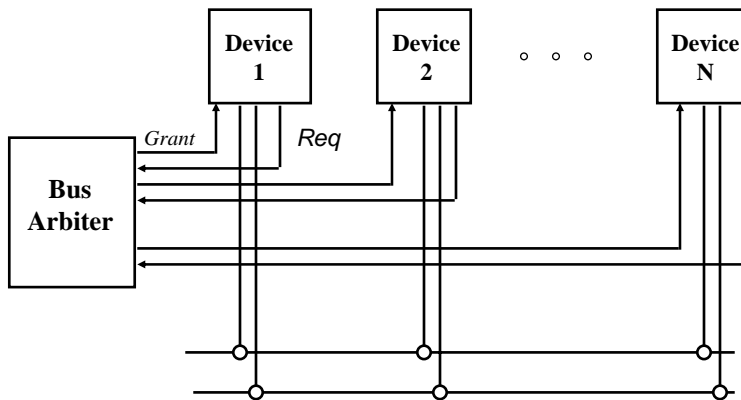
- Simplicidade

♦ Desvantagem:

- Não pode assegurar equidade no acesso ao barramento
 - ♦ Um dispositivo de menor prioridade pode não conseguir o acesso ao barramento
- O uso do *daisy chain* também limita a velocidade do barramento

25 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Esquema de arbitragem: Arbitragem paralela centralizada



- ♦ É usado praticamente em todos os barramentos processador-memória e em barramentos I/O de elevado desempenho

26 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

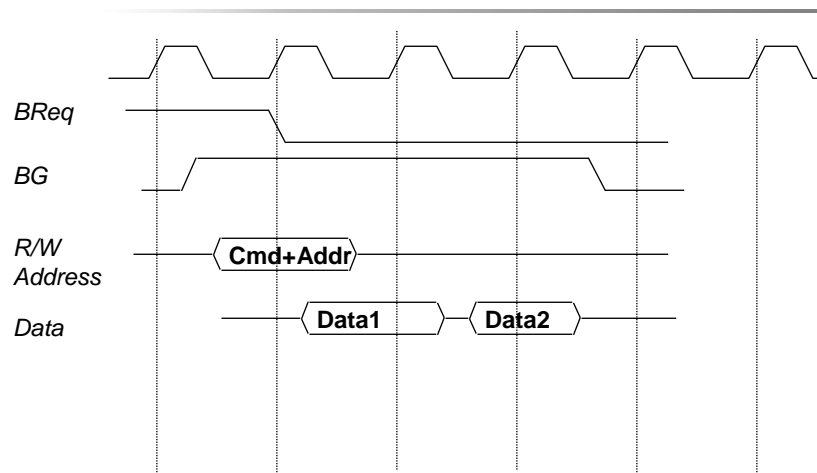
Paradigma mais simples de arbitragem do barramento



- ◆ Todos os agentes operam sincronamente
- ◆ Todos podem transaccionar dados à mesma taxa
- ◆ Trata-se do protocolo mais simples
 - Apenas tem-se que gerir o dispositivo fonte e o destino

27 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

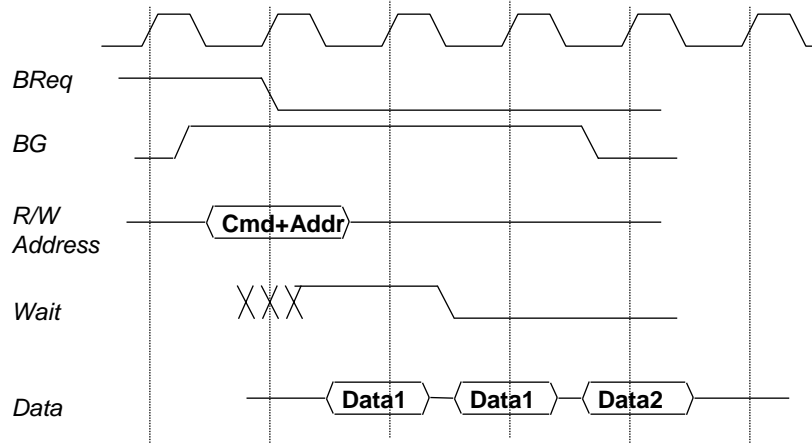
Forma mais simples do protocolo síncrono



- ◆ O barramento de memória geralmente é mais complexo do que este
 - A memória (dispositivo escravo) pode precisar de tempo para responder

28 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Típico protocolo síncrono

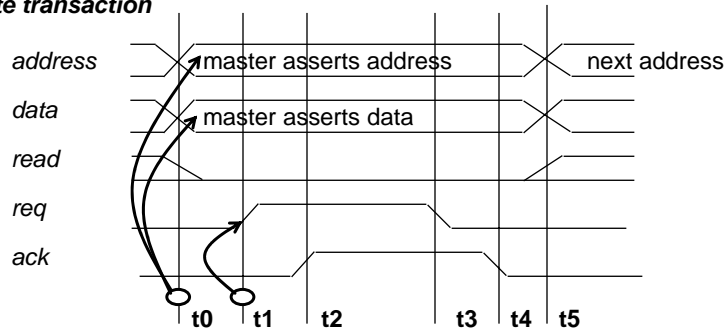


- ♦ O dispositivo escravo indica quando está preparado para a transferência de dados
- ♦ A taxa de transferência é a do barramento

29 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Handshake para protocolo assíncrono (4 fases)

Write transaction

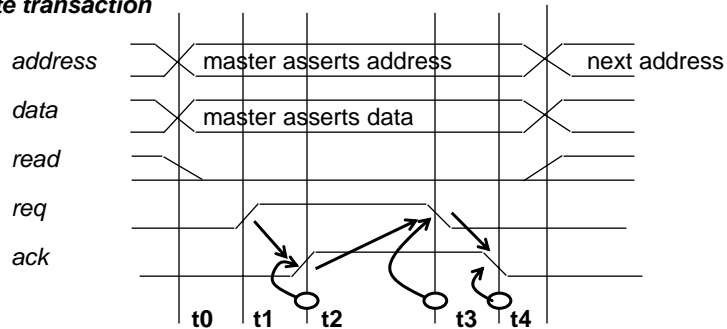


- ♦ **t0**: O **master** obtém o controlo e emite o endereço, a direcção e os dados. Espera durante um determinado tempo a fim de que os **slaves** descodifiquem o destinatário
- ♦ **t1**: O **master** activa a linha de '**req**' ('request')

30 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Handshake para protocolo assíncrono (4 fases)

Write transaction

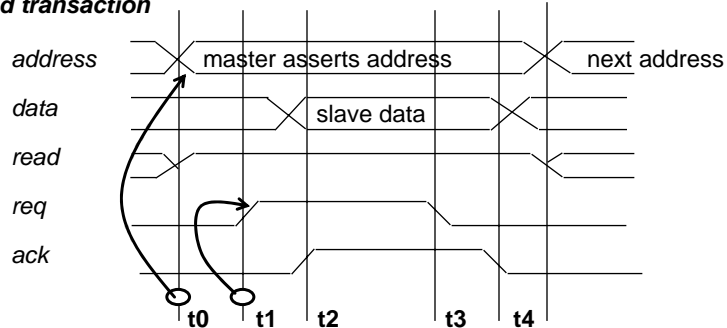


- ◆ t2: O **slave** activa a linha '**ack**' ('*acknowledge*'), indicando a recepção dos dados
- ◆ t3: O master desactiva a linha de '**req**' ('*request*')
- ◆ t4: O slave desactiva a linha de '**ack**' ('*acknowledge*')

31 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Transacção na leitura

Read transaction

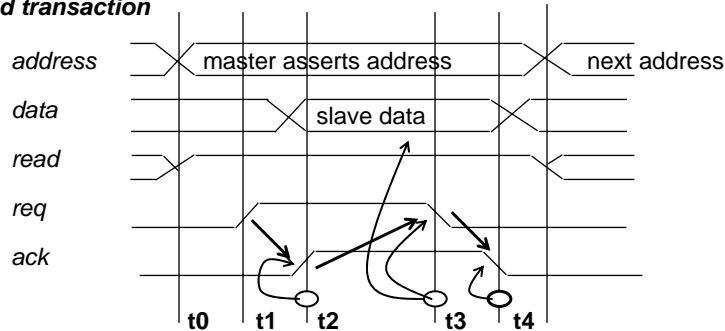


- ◆ t0: O **master** obtve o controlo e emite o endereço e a direcção. Espera durante um determinado tempo a fim de que os **slaves** descodifiquem o destinatário
- ◆ t1: O **master** activa a linha de '**req**' ('*request*')

32 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Transacção na leitura

Read transaction



- ◆ t2: O **slave** activa a linha '**ack**' ('*acknowledge*'), indicando estar pronto para transmitir dados
- ◆ t3: O **master** desactiva a linha de '**req**' ('*request*'), os dados são recebidos
- ◆ t4: O **slave** desactiva a linha de '**ack**' ('*acknowledge*')

33 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Como aumentar a largura de banda do barramento ?

- ◆ **Linhas de endereço e de dados: separadas ou multiplexadas**
 - Os endereços e os dados podem ser transmitidos num único ciclo do barramento se as linhas de endereço e de dados forem distintas
 - Custo
 - ◆ mais linhas no barramento
 - ◆ aumento da complexidade do barramento
- ◆ **Largura do barramento de dados**
 - Ao aumentar a largura do barramento de dados, a transferência de múltiplas palavras requererá menos ciclos do barramento
 - Exemplo:
 - ◆ SPARC Station 20: o barramento de dados tem uma largura de 128 bits

34 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Como aumentar a largura de banda do barramento ?

◆ Transferência de blocos de dados

- Permite que o barramento transfira múltiplas palavras em ciclos
- Apenas é necessário enviar um endereço no início
- O barramento não é libertado até que a última palavra tenha sido transferida
- Custo:
 - ◆ Aumento da complexidade
 - ◆ Diminuição do tempo de resposta por pedido

35 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplos de Barramentos: ISA

◆ Intimamente ligado ao barramento do PC.

- ISA = *Industry Standard Architecture*

◆ O primeiro barramento ISA (com uma largura do barramento de dados de 8 bits):

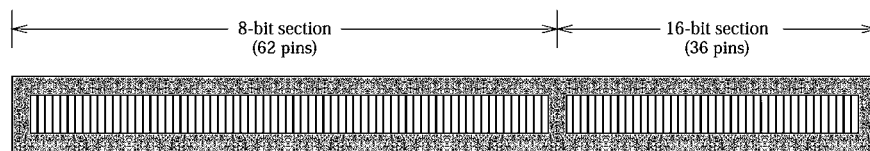
- Baseado no processador 8088.
 - ◆ Tinha 82 pinos incluindo
 - 20 linhas de endereço
 - 8 linhas de dados
 - 6 sinais de interrupção
 - Leitura e escrita de memória
 - Leitura e escrita do I/O
 - 4 linhas de *request* de DMA e 4 linhas de *acknowledge*.

36 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplos de Barramentos: ISA

◆ 16-bit ISA

- Mais 36 pinos que a versão anterior
- 24 linhas de endereço
- 16 linhas de dados
- Compatível com a versão 8-bit ISA



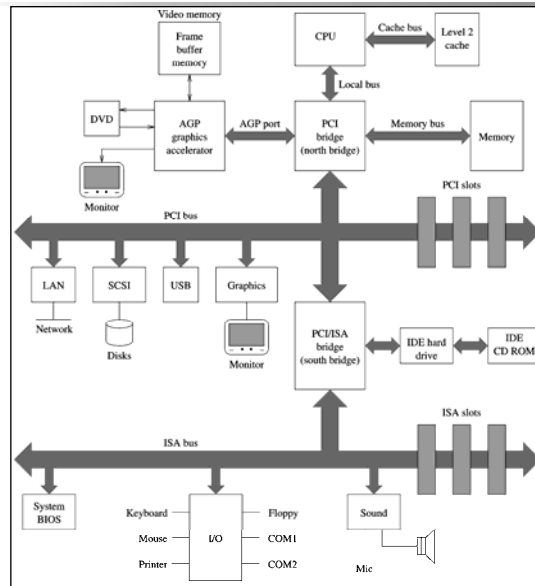
37 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplos de Barramentos: ISA

- ◆ Opera a 8.33 MHz
- ◆ Tem uma largura de banda de 8 MB/s
- ◆ Os processadores de 32 bits precisam de maior apoio do que é fornecido pelo barramento ISA:
 - Foram efectuadas várias tentativas:
 - ◆ EISA (Extended ISA)
 - Sinais para gestão do Master.
 - ◆ MCA (Micro Channel Architecture)
 - *Standard* proprietário da IBM
 - Nunca foi largamente implementado.
- ◆ O barramento ISA só é usado para dispositivos antigos e lentos

38 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplos de Barramentos: ISA



39 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplos de Barramentos: PCI

◆ O trabalho começou em 1990

- A Intel começou a trabalhar num novo barramento para o seu sistema Pentium
 - ◆ Barramento independente do processador
- Suporta requisitos de elevada largura de banda de sistemas baseados em janela:
 - ◆ Versão original (1.9) desenvolvido pela Intel em 1990.
 - ◆ Versão 2 em 1993.
 - ◆ Versão 2.1 em 1995.
 - ◆ Versão 2.2 introduzida para permitir a gestão de energia em computadores portáteis.

40 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplos de Barramentos: PCI

◆ Implementado para

- 32-bit ou 64-bit

◆ Opera a

- 33 MHz ou 66 MHz
- 5V (para placas antigas) ou 3.3 V (para placas mais recentes)

◆ PCI 32-bit opera a 33 MHz

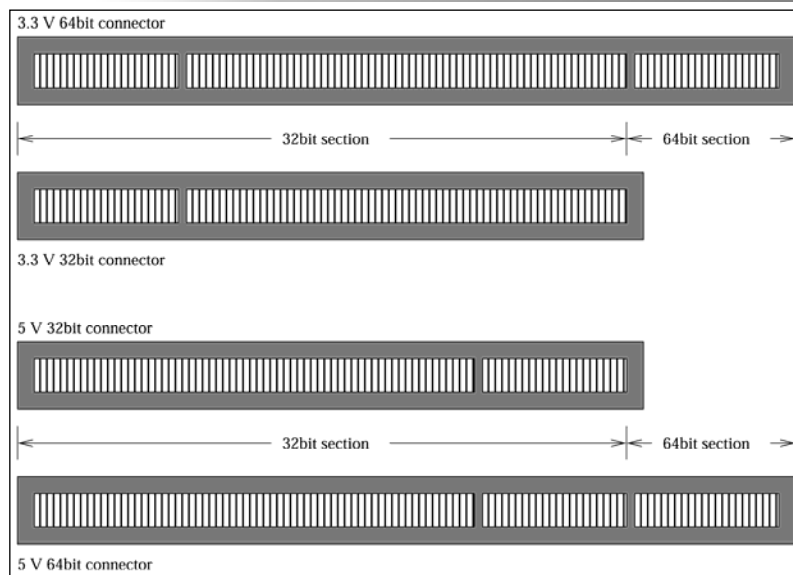
- Provê uma largura de banda de 133 MB/s

◆ PCI 64-bit opera a 66 MHz

- Provê uma largura de banda de 528 MB/s

41 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplos de Barramentos: PCI



42 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

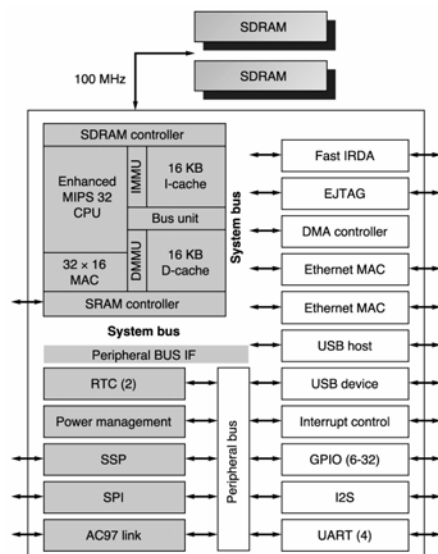
Exemplos de Barramentos: PCI

◆ Sinais do barramento

- Sinais obrigatórios
 - ◆ Sinais do sistema
 - Clock, reset, address/data bus(AD[0-31])
 - ◆ Sinais de controlo de transacção
 - ◆ Sinais de arbitragem de barramento e notificação de erros
- Sinais opcionais
 - ◆ Sinais de extensão para 64-bit
 - ◆ Sinais de pedido de interrupt

43 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

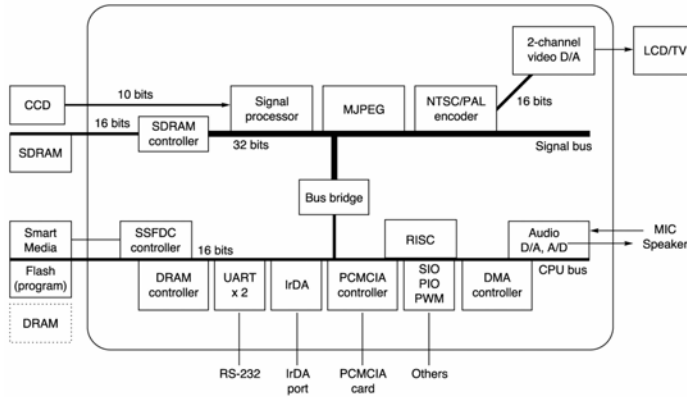
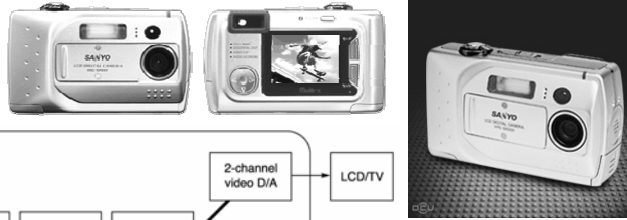
Alchemy Au1000



- Oito canais DMA
- Controlador DMA IrDA independente para rede
- Controlador SDRAM
- Controlador SRAM
- 2 controlador ethernet
- Controlador USB
- 2 controladores de interrupção
- 4 UARTs
- SPI
- SSP
- BUS interno a 1/2 e 1/5 da frequência do processador (MIPS)

44 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Sanyo VPC-SX500 Digital Camera



45 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplo de barramentos paralelos

	IDE/Ultra ATA	SCSI	PCI	PCI-X
Data width	16 bits	8 ou 16 bits	32 ou 64 bits	32 ou 64 bits
Frequência	Até 100 MHz	10 – 160 MHz	33 ou 66 MHz	66, 100 e 133 MHz
Número de barramentos	1	múltiplos	múltiplos	múltiplos
Largura de banda	200 MB/s	320 MB/s	533 MB/s	1066 MB/s
Protocolo	assíncrono	assíncrono	síncrono	síncrono
Standard	–	ANSI X3.131	–	–

46 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Resumo das opções do barramento

Opção	Elevada Performance	Baixo Custo
Largura do BUS	Linhas separadas para endereço e dados	multiplexagem de endereços e dados
Largura dos dados	Quanto mais largo, mais rápido (p. ex., 32 bits)	Quanto mais estreito, mais económico (p. ex., 8 bits)
Transfer size	Múltiplas palavras, menor <i>overhead</i> do bus	Transferência de uma única palavra é mais simples
Bus masters	Múltiplos (requer arbitragem)	Só um <i>master</i> (não requer arbitragem)
Clocking	Síncrono	Assíncrono

47 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva

Exemplo de barramentos paralelos

	I ² C	1-wire	RS-232	SPI
Data width	1 bit	1 bit	8 bit	1 bit
Linha de sinais	2	1	9 ou 25	3
Frequência	0.4 – 10 MHz	assíncrono	0.040 MHz ou assíncrono	assíncrono
Número de barramentos mestre	múltiplos	múltiplos	múltiplos	múltiplos
Largura de banda (pico)	0.4 – 3.4 Mbits/s	0.014 Mbits/s	0.192 Mbits/s	1 Mbits/s
Protocolo	assíncrono	assíncrono	assíncrono	assíncrono
Standard	–	–	EIA, ITU-T V.21	–

48 Microcontroladores e Interfaces 2005/2006 – Carlos A. Silva